

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11086547 A**

(43) Date of publication of application: 30 . 03 . 99

(51) Int. Cl.

**G11C 11/407**  
**G11C 11/409**

(21) Application number: 09249778

(22) Date of filing: 30 . 08 . 97

(71) Applicant: **TOSHIBA CORP**
 (72) Inventor:  
**INUZUKA KAZUKO**  
**NAGABA KATSUSHI**  
**OSHIMA SHIGEO**

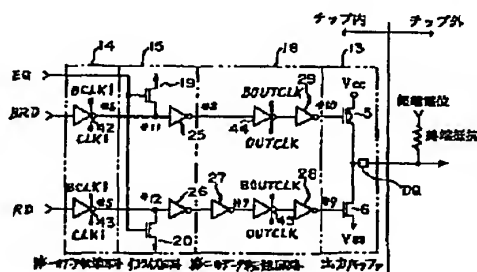
 (54) SEMICONDUCTOR INTEGRATED CIRCUIT  
 DEVICE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device having a data output circuit facilitating timing control of an output control signal without any dependence of a data access/data hold time on data cycle.

**SOLUTION:** This output circuit consists of a first data transfer circuit 14 to which the data is inputted, an equalizer circuit 15 to which the output of this first data transfer circuit 14 is inputted while data bursts and the HiZ data is inputted after the burst finishes, a second data transfer circuit 16 connected to the equalizer circuit 15 and an output buffer 13 to which the output of the second data transfer circuit is inputted. Since respective data of '0', '1' and 'HiZ' are outputted all after receiving an out clock OUTCLK (BOUTCLK), at an 'HiZ' output time, a data transfer path is equalized. That is, all data are outputted while synchronizing with the out clock.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-86547

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>4</sup>

G 1 1 C 11/407

11/409

識別記号

F I

G 1 1 C 11/34

3 6 2 S

3 5 4 Q

審査請求 未請求 請求項の数 5 F D (全 11 頁)

(21) 出願番号 特願平9-249778

(22) 出願日 平成9年(1997) 8月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 犬塚 和子

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 長嶋 勝志

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 大島 成夫

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

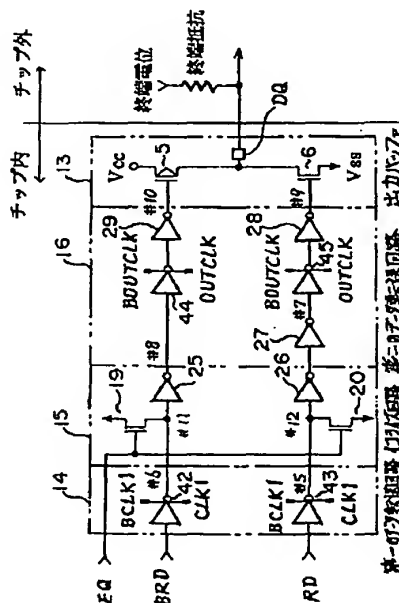
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 データアクセス/データホールドタイムのデータサイクル依存性のない出力制御信号のタイミング制御を容易にしたデータ出力回路を有する半導体集積回路装置を提供する。

【解決手段】 この出力回路は、データが入力される第1のデータ転送回路14と、データバースト中はこの第1のデータ転送回路の出力が入力され、バースト終了後はH i Zデータが入力されるイコライズ回路15と、イコライズ回路に接続される第2のデータ転送回路16と、第2のデータ転送回路の出力が入力され出力バッファ13とからなる。これは、“0”、“1”、“H i Z”の各データがすべてアウトクロックOUTCLK (BOUTCLK)を受けて出力されるため“H i Z”出力時はデータ転送パスをイコライズする。つまりすべてのデータがアウトクロックに同期して出力される。



## 【特許請求の範囲】

【請求項1】 メモリセルから読み出されたデータを外部に出力するデータ出力回路と、  
前記データ出力回路のデータ転送を制御する信号を供給する手段とを備え、

すべてのデータが前記制御信号の1つであるアウトクロックに同期して前記データ出力回路から出力されることを特徴とする半導体集積回路装置。

【請求項2】 データ前記出力回路は、前記データが入力される第1のデータ転送部と、データバースト中はこの第1のデータ転送部の出力が入力され、バースト終了後はH i Zデータが入力されるイコライズ回路と、このイコライズ回路に接続される第2のデータ転送部と、この第2のデータ転送部の出力が入力され出力が出力端子から外部に出力される出力バッファ回路とから構成されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記データ出力回路は、前記データが入力される第1のデータ転送部と、この第1のデータ転送部の出力が入力される第2のデータ転送部と、この第2のデータ転送部の出力が入力され出力が出力端子から外部に出力される出力バッファ回路とから構成され、前記第1のデータ転送部はイコライズ回路を備えていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】 前記イコライズ回路に入力されるイコライズ開始信号の立ち上げによって前記データ出力回路が活性化されることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体集積回路装置。

【請求項5】 前記イコライズ開始信号のタイミングは、前記第1のデータ転送部におけるデータを転送するクロック信号のタイミングと等しいことを特徴とする請求項1乃至請求項4のいずれかに記載の半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に係り、とくに出力制御信号のタイミング制御を容易にするDRAMやクロック同期型DRAMなどの半導体メモリに関するものである。

【0002】

【従来の技術】半導体基板に形成された半導体集積回路装置、例えば、半導体メモリは、記憶の最小単位メモリセルを中心に構成されている。メモリセル部3は、図18にも示されているようにマトリックス状に配置されてメモリセルアレイを構成しており、行方向のメモリセルを選択するワード線及び列方向のメモリセルを選択するビット線を備えている。半導体メモリには、さらに、行アドレス入力信号を受けてワード線を選択する行デコーダ（ローデコーダ）及び列アドレス入力信号を受けてビット線を選択する列デコーダ（カラムデコーダ）が接続

されている。その他にビット線に転送されたアクセスされたメモリセルの情報を増幅するセンスアンプを備えており、半導体メモリは、これらを基本構成としている。DRAMやクロック同期型DRAMの信号の流れは、アドレス信号を行と列の選択信号に同期して入力端子から時分割的に入力し、それぞれ行アドレスバッファ、列アドレスバッファのアドレスバッファにラッチする。行デコーダでワード線を選択駆動してメモリセルをアクセスする。アクセスされたメモリセルの情報は、ビット線（データ線）に転送され、これをセンスアンプで増幅すると同時にメモリセルへ情報の再書き込みを行う。次に、列デコーダでセンスアンプの出力を選択し、この選択された情報がビット線を経て出力回路へ転送される。これら一連の動作は、メモリセル情報の破壊を防ぐために、内部同期信号で制御され、定められた順序、タイミングで実行される。

【0003】図18は、従来の半導体メモリ（クロック同期型DRAM）のシステムブロック図である。半導体メモリは、前述した基本構成（メモリセル部）3の他に、外部からの入力信号を受け入れる入力受信部1、制御回路部2及びデータ出力回路部4を備えている。データ出力回路部4のデータ出力回路に入力されるデータは、制御回路部2から供給される制御信号によりデータ転送され、出力端子DQを通して外部に出力される。次に、従来のデータ出力回路について説明する。図13は、従来技術によるシンクロナスDRAMのデータ出力回路、図14は、Latency（以下、CLという）＝3、バースト長（以下、BLという）＝4、データバターン“0101”の場合における図13のデータ出力回路の動作波形である。従来のデータ出力回路は、ソースが電源電圧に接続されたPMOSTランジスタ5及びソースが接地され、ドレインが前記PMOSTランジスタ5のドレインに接続されたNMOSTランジスタ6からなる出力バッファを有している。PMOSTランジスタ5のドレインとNMOSTランジスタ6のドレインとは出力端子DQに繋がっている。

【0004】PMOSTランジスタ5のゲートにはインバータ22の出力が接続されており、インバータ22の入力は、クロックインバータ41の出力に接続されている。クロックインバータ41の入力は、インバータ24の出力に接続されている。インバータ24にはリード信号RDが入力される。インバータ22とPMOSTランジスタ5のゲート間のノード#3にPMOSTランジスタ9のドレインが接続されている。PMOSTランジスタ9のソースは電源に接続され、ゲートはインバータ21の出力に接続されている。インバータ21にはイコライズ信号EQが入力される。クロックインバータは、図15に示すようにクロックCLK及びその逆相信号BCLKで駆動される1対のPMOSTランジスタ及びNMOSTランジスタがインバータに付加された構成になっ

ている。NMOSトランジスタ6のゲートにはインバータ23の出力が接続されており、インバータ23の入力は、クロックインバータ41の出力に接続されている。インバータ23とNMOSトランジスタ6のゲート間のノード#4にNMOSトランジスタ10のドレインが接続されている。NMOSトランジスタ10のソースは接地され、ゲートにはイコライズ信号EQが入力される。

【0005】以上のように従来のデータ出力回路は、図13に示す回路構成を有しているが、機能的に説明すれば図17に示すブロック図のような構成になっている。データ出力回路は、リード信号を送送するRD線と出力端子DQ間に配置され、リード信号RDを受け入れるデータ転送回路11、データ転送回路11の出力が入力されるイコライズ回路12、イコライズ回路12の出力が入力される出力バッファ13を備えている。各構成要素11~13の回路構成は、図13に示した通りである。このデータ出力回路に使われるデータ転送回路は、RD線に準備されたデータを出方クロック（アウトクロック）OUTCLKにより転送する回路、イコライズ回路は、バースト時以外はデータ転送パスのインバータをオフさせ、データバスをイコライズする回路、出力バッファは、出力クロックOUTCLKあるいはイコライズ信号EQにより転送されたデータに応じて出力端子DQを“H”、“L”、“HiZ”のいずれかに駆動する回路である。

【0006】次に、図13及び図14を用いて従来の出力回路の動作を説明する。リード（Read）動作時以外は、イコライズ信号EQは、“H”（ハイレベル）である。この時インバータ22、23はオフ、トランジスタ9、10はオンしているので、PMOSTランジスタ5のゲートとインバータ22間のノード#3は“H”、NMOSTランジスタ6のゲートとインバータ23間のノード#4は“L”（ロウレベル）となり、PMOSTランジスタ5とNMOSTランジスタ6がそれぞれオフとなるので出力端子DQにはHiZが出力される。外部クロックの第1のサイクルCLK①でリードコマンド（Read Command）信号が検知されると、次の第2のサイクルCLK②を受けてRD及びインバータ24とクロックインバータ41間のノード#1に出力データが読み出される。この時出力クロックOUTCLKは“L”、出力クロックOUTCLKの逆相信号BOUOUTは“H”であり、クロックインバータ41はオフ状態にある。次にCLK③を受けて出力クロックOUTCLKが“H”になると、クロックインバータ41がオンし、ノード#1のデータがクロックインバータ41とインバータ22及びインバータ23間のノード#2に転送される。一方、リードコマンド信号を受けると、イコライズ信号EQは、CL、BLに応じてデータが出力される期間“L”になる。この間は、インバータ22、

23がオンし、トランジスタ9、10はオフになるので、ノード#2のデータがノード#3及びノード#4に転送され、出力端子DQにデータが出力される。BL分のデータが出力されると、イコライズ信号EQは“H”に戻り、再びインバータ22、23はオフになり、トランジスタ9、10はオンして、“HiZ”が出力端子DQに出力される。

【0007】

【発明が解決しようとする課題】以上説明した従来のデータ出力回路には、次のような問題がある。まず第1にデータアクセスタイムtACとデータホールドタイムtOHが、データノサイクルにより異なる。データアクセスタイムtACについて見ると、データD1はイコライズ信号EQが“L”になるのを受けて出力されるので、データアクセスタイムtACはイコライズ信号EQに律則される。ところが、データD2以降は出力クロックOUTCLKが“H”になるのを受けて出力されるので、データアクセスタイムtACは出力クロックOUTCLKに律則される。従って、従来の出力回路では、データアクセスタイムtACがデータにより異なる。データホールドタイムtOHについても同様である。データD4出力後、イコライズ信号EQが“H”に戻ることにによって、出力端子DQはHiZを出力するので、データD4のデータホールドタイムtOHはイコライズ信号EQに律則される。ところが、データD4までは、出力クロックOUTCLKが“H”になることにより出力されるので、データD3以前のデータのデータホールドタイムtOHは出力OUTCLKに律則されることになり、サイクルによりデータホールドタイムtOHにばらつきを生じる。

【0008】第2に、従来の出力回路では、各制御信号のタイミングを合わせる必要が有るため制御が難しくなる。図16に、イコライズ信号EQ及び出力クロックOUTCLKのタイミングがずれた場合の動作波形の例を示す。図14に示した正常動作に対し、イコライズ信号EQが“L”に落ちるタイミングが早くなると、出力クロックOUTCLKが“H”になりノード#2にデータD1が転送される前にインバータ22、23がオンしてインバリットなデータが出力されるようになる。これを防ぐためには出力クロックOUTCLKが“H”になってからイコライズ信号EQが“L”になるようにすれば良いが、マージンを取り過ぎるとデータD1のデータアクセスタイムtACが遅くなるため、各信号のタイミング制御が難しくなる。以下、図において、出力回路を転送するデータは、D1、D2、D3、・・・と表示する。本発明は、このような事情によりなされたものであり、データアクセスタイム/データホールドタイムのデータサイクル依存性のない出力制御信号のタイミング制御を容易にする出力回路を有する半導体集積回路装置を提供する。

【0009】

【課題を解決するための手段】シンクロナスDRAMの出力回路において、“0”、“1”、“HiZ”の各データがすべて出力クロックを受けて出力されるようにするため“HiZ”出力時はデータ転送バスをイコライズする。つまり、すべてのデータが出力クロック（アウトクロック）に同期して出力される。これによりデータアクセスタイム／データホールドタイムのデータサイクル依存性を無くし、出力制御信号のタイミング制御を容易にすることができる。すなわち、本発明の半導体集積回路装置は、メモリセルから読み出されたデータを外部に出力するデータ出力回路と、前記データ出力回路のデータ転送を制御する信号を供給する手段とを備え、すべてのデータが前記制御信号の1つであるアウトクロックに同期して前記データ出力回路から出力されることを特徴としている。

【0010】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。本発明の半導体集積回路装置は、以下の実施例において図18に示すシンクロナスDRAMを例にして説明する。また、各実施例の回路動作を説明するための波形は、いずれもCL=3、BL=4、データパターン“0101”の場合である。以下の実施例において、出力端子DQは、チップ内にあり、チップ外部で一定電位に終端されているものとする。まず、図1乃至図5を参照して第1の実施例を説明する。図1は、シンクロナスDRAMのデータ出力回路を機能的に説明するブロック図、図2は、図1のデータ出力回路を示す回路図、図3は、図2のデータ出力回路の動作を説明する波形図である。データ出力回路は、リード信号RDを伝送するRD線及びリード信号の逆相信号BRDを伝送するBRD線からなるRD線対と出力端子DQ間に配置され、リード信号RD及びその逆相信号BRDを受け入れる第1のデータ転送回路14、第1のデータ転送回路14の出力が入力されるイコライズ回路15、イコライズ回路15の出力が入力される第2のデータ転送回路16、第2のデータ転送回路の出力が入力される出力バッファ13を備えている。各構成要素13～16の回路構成は、図2に示した通りである。

【0011】このデータ出力回路に使われる第1のデータ転送回路14は、RD線に準備された次サイクルのデータを内部クロックCLK1（BCLK1）により転送する回路、イコライズ回路15は、ファイナル・データの次のサイクルで“HiZ”データをデータバスに準備する回路、第2のデータ転送回路16は、イコライズ信号EQにより準備されたデータを出力クロックOUTCLK（BOUTCCLK）により転送する回路、出力バッファ13は、出力クロックOUTCLKにより転送されたデータに応じて出力端子DQを“H”、“L”、“HiZ”のいずれかに駆動する回路である

前述の各回路の詳細は図2に示されている。出力バッファ13は、ソースが電源電圧に接続されたPMOSトランジスタ5及びソースが接地され、ドレインが前記PMOSトランジスタ5のドレインに接続されたNMOSトランジスタ6から構成されている。

【0012】第1のデータ転送回路14は、内部クロックCLK1により駆動されるデータ転送手段からなり、例えば、クロックインバータ42、43から構成されている。クロックインバータ42にはリード信号の逆相信号BRDが入力され、クロックインバータ43にはリード信号RDが接続される。クロックインバータ42、43の出力は、イコライズ回路15に接続されている。イコライズ回路15は、イコライズ信号EQに応じて駆動し、イコライズを行う際にノード#11、#12を固定電位にするもので、例えば、NMOSトランジスタ19、20及びインバータ25、26から構成されている。イコライズ信号EQは、NMOSトランジスタ19、20のゲートに接続されている。NMOSトランジスタ19のソースは接地され、ドレインはクロックインバータ42の出力に接続されている。NMOSトランジスタ20のソースは接地され、ドレインはクロックインバータ43の出力に接続されている。第2のデータ転送回路16は、アウトクロックOUTCLKにより駆動され、イコライズ回路15からの転送信号を反転させて出力させるもの及び同相の信号を出力するものからなり、例えば、直列に接続されたクロックインバータ44－インバータ29と直列に接続されたインバータ27－クロックインバータ45－インバータ28とから構成されている。クロックインバータの接続場所はどこでも良く、上段が奇数、下段が偶数で構成されていれば良い。インバータ25は、クロックインバータ42の出力とNMOSトランジスタ19のドレインに接続されている。インバータ26は、クロックインバータ43の出力とNMOSトランジスタ20のドレインに接続されている。インバータ29の出力はPMOSトランジスタ5のゲートに接続され、インバータ28の出力はNMOSトランジスタ6のゲートに接続されている。

【0013】出力バッファ13は、ノイズ対策として、インバータに接続される電源電圧ラインとは異なる電源電圧線と接地端子間に直列接続されたPMOSトランジスタ5及びNMOSトランジスタ6から構成され、第2のデータ転送回路から転送されるデータを受ける。その転送されたデータは、共通ノードから出力端子DQに転送される。さらに、出力端子DQと外部の装置（例えば、マイコンなどのデータ処理する装置）との間には“HiZ”とするために終端抵抗を介して終端電位（例えば、1.4V）を供給する。次に、図4及び図5を参照してデータ出力回路を制御する各制御信号について説明する。図4は、出力クロック（アウトクロック）OUTCLK（BOUTCCLK）、内部クロックCLK1及

ビコライズ信号EQなどの制御信号を生成する回路図、図5は、図4の入出力波形図である。クロック信号COLCLKは、外部クロックCLKから作られる内部クロック信号である。信号CSLACTは、リード時のカラムの活性化を表わす信号である。ここではバースト長=4であるので、信号CSLACTは、CLK①を受けて“H”になり、4サイクル後のCLK⑤を受けて“L”に戻る信号となる。COLCLK、CSLACTは、従来のデータ出力回路でも用いられる。本発明のデータ出力回路は、OUTCLK、CLK1、EQの3つの信号を用いて制御されている。

【0014】出力クロック（アウトクロック）OUTCLKは、内部クロック信号COLCLKに遅延をかけて作られる信号であり、従来の出力クロックOUTCLKと同じである。本発明では内部クロックCLK1によって前サイクルで準備されたデータを転送し、出力クロックOUTCLKによって出力回路最終段の出力バッファのトランジスタを駆動する。内部クロックCLK1は、COLCLK及びCSLACTから作られる信号でバースト長分のパルスが発生する。出力クロックOUTCLKが“H”になることでデータが出力され、“L”に戻った後にCLK1パルスで次のデータを転送する。このため外部クロックCLKから内部クロックCLK1の遅延量は、外部クロックCLKから出力クロックOUTCLKの遅延量より大きくするように設計されている（ $\tau_a < \tau_b$ ）。イコライズ信号EQは、CSLACTから作られ、内部クロックCLK1の最後のパルスが発生した次のサイクルで発生する単パルスであり、外部クロックCLKからの遅延時間が内部クロックCLK1と等しくなるように遅延をかけている（ $\tau_b = \tau_c$ ）。このため“HiZ”データもバースト中のデータと同じタイミングで準備されることになる。なお、CLK1とEQは、タイミングが同じであれば、パルス幅が異なっても問題ない。

【0015】図4に示すように、COLCLK及びCSLACTを基に、遅延回路60及びインバータ30からOUTCLK（BOUTCLK）が生成され、NAND回路70、遅延回路61及びインバータ31からCLK1が生成され、クロックインバータ40、46、インバータ33～35、キャパシタ72、73、NOR回路71及び遅延回路62からイコライズ信号EQがそれぞれ生成される。次に、図2に示すデータ出力回路の動作を説明する。まず、イコライズ信号EQは、イコライズ開始信号であり、イコライズ開始時間以外は“L”である。BL分のデータが出力されると、次サイクルの外部クロックCLKを受けてパルスが発生する。内部クロックCLK1は、リード信号RD及び逆相信号BRDに読み出されたデータをそれぞれクロックインバータ42とNMOSTランジスタ19間及びクロックインバータ43とNMOSTランジスタ20間のノード#5、#6に

転送するための信号であり、リードコマンド信号（Read Command）を受けると、CLに応じてBL分のパルスを生じる。CL=3、BL=4の場合には、外部クロックCLK②～⑤を受けて4個のパルスが発生する。出力クロックOUTCLKは、インバータ27とクロックインバータ45間及びインバータ25とクロックインバータ44間のノード#7、#8のデータを出力端子DQに出力するための信号である。

【0016】次に、回路動作について説明する。イコライズ開始時間以外、イコライズ信号EQは“L”であり、トランジスタ19、20はオフになっている。外部クロックCLK①でリードコマンドが入力されると、CLK②を受けてリード信号RD及びRDの逆相信号BRDにデータが読み出される。この時、内部クロックCLK1は“L”、逆相信号BCLK1は“H”であり、インバータ42、43はオフになっている。次に、CLK1が“H”になると、クロックインバータ42、43がオンしてリード信号RD及び逆相信号BRDのデータはそれぞれノード#5から#7、ノード#6から#8に転送される。この時、OUTCLKは“L”、その逆相信号BOUTCLKは“H”であり、インバータ44、45はオフになっている。次に、CLK③を受けて、出力クロックOUTCLKが“H”になると、インバータ44、45はオンになり、ノード#7及び#8のデータは転送されて出力端子DQにデータが出力される。BL分のデータが出力されると、次サイクルのCLK④を受けてイコライズ信号EQにパルスが発生する。この間、トランジスタ19、20はオンになり、ノード#5及び#6、#7は“L”に、ノード#8は“H”になる。次に、CLK⑤を受けて出力クロックOUTCLKが“H”になると、ノード#7及び#8のデータが転送され、ノード#9は“L”に、ノード#10は“H”になって、出力端子DQにはHiZが出力される。以上の実施例により、図3に示すように、サイクルによりデータアクセスタイム $t_{AC}$ 及びデータホールドタイム $t_{OH}$ にばらつきが生じないので、データアクセスタイム/データホールドタイムのデータサイクル依存性を無くし、出力制御信号のタイミング制御を容易にすることができる。

【0017】次に、図6及び図7を参照して第2の実施例を説明する。図6は、本発明によるシンクロナスDRAMのデータ出力回路図、図7は図6の動作を説明する波形図である。このデータ出力回路の機能的な構成ブロック図は、図1に示される。このデータ出力回路は、イコライズ回路15及び第2のデータ転送回路16の回路構成が図2に示されたデータ出力回路とは相違している。このデータ出力回路のイコライズ回路は、NMOSTランジスタ19とインバータ25に代えて互いに逆並列に接続したインバータ37とNAND74を用い、NMOSTランジスタ20とインバータ26に代えて互い

に逆並列に接続したインバータ36とNAND75を用いており、さらに、インバータ38が付加されている点で図2のものとは相違している。イコライズ信号EQはイコライズ開始信号であり、イコライズ開始時間以外は“L”であり、BL分のデータが出力されると、次サイクルのCLKを受けてパルスが発生する。内部クロックCLK1は、リード信号RD及びその逆相信号BRDに読み出されたデータをそれぞれクロックインバータ43とNAND75間のノード#5及びクロックインバータ42とNAND74間のノード#6に転送するための信号であり、リードコマンド信号を受けるとCLに応じてBL分のパルスを生じる。CL=3、BL=4の場合には、CLK②～⑤を受けて、4個のパルスが発生する。出力クロックOUTCLKは、NAND74とクロックインバータ44間のノード#8及びインバータ27とクロックインバータ45間のノード#9のデータを出力端子DQに出力するための信号である。

【0018】イコライズ開始時間以外は、イコライズ信号EQは“L”であり、したがってインバータ38とNAND74、75間のノード#12は“H”であるから、ノード#12が入力されているNANDゲート74、75はそれぞれノード#6及びノード#5が入力されるインバータと等しい動作をする。外部クロックCLK①でリードコマンド信号が入力されると、CLK②を受けてリード信号RD及びその逆相信号BRDにデータが読み出される。この時、内部クロックCLK1は“L”、その逆相信号BCLK1は“H”であり、クロックインバータ42、43はオフになっている。次に、内部クロックCLK1が“H”になると、クロックインバータ42、43はオンしてリード信号RD及びその逆相信号BRDのデータはそれぞれノード#5からノード#9、ノード#6からノード#8に転送される。この時、出力クロックOUTCLKは“L”、その逆相信号BOUTCCLKは“H”であり、クロックインバータ44、45はオフになっている。次に、CLK③を受けて出力クロックOUTCLKが“H”になると、インバータ44、45はオンし、ノード#9及びノード#8のデータは転送されて出力端子DQにデータが出力される。バースト長分のデータが出力されると、次サイクルのCLK④を受けてイコライズ信号EQにパルスが発生する。

【0019】イコライズ信号EQが“H”になると、ノード#12は“L”になり、ノード#5及びノード#6のレベルに関わらず、ノード#7及びノード#8は“H”に、ノード#9は“L”になる。この時、内部クロックCLK1は“L”であり、クロックインバータ42、43はオフになっているので、ノード#7及びノード#8のデータはインバータ36、37により転送され、ノード#5及びノード#6は“L”になる。この後、イコライズ信号EQが“L”に戻り、ノード#12

が“H”になっても、ノード#5及びノード#6が“L”であるため、ノード#7及びノード#8は“H”に保たれる。次に、CLK⑤を受けて出力クロックOUTCLKが“H”になると、ノード#9及びノード#8のデータが転送され、ノード#10は“L”に、ノード#11は“H”になり、出力端子DQにはHiZが出力される。以上の実施例により、図7に示すように、サイクルによりデータアクセスタイムtAC及びデータホールドタイムtOHにはばらつきが生じないので、データアクセスタイム/データホールドタイムのデータサイクル依存性を無くし、出力制御信号のタイミング制御を容易にすることができる。

【0020】次に、図8及び図9を参照して第3の実施例を説明する。図8は、本発明によるシンクロナスDRAMのデータ出力回路図、図9は図8の動作を説明する波形図である。このデータ出力回路の機能的な構成ブロック図は、図1に示される。このデータ出力回路は、イコライズ回路15及び第2のデータ転送回路16の回路構成が図2に示されたデータ出力回路とは相違している。まず、このデータ出力回路の入力にはRDに代えてBRDが、BRDに代えてRDが入力されている。また、イコライズ回路は、NMOSトランジスタ19に代えてPMOSTランジスタ17を用い、NMOSTランジスタ20に代えてPMOSTランジスタ18を用いており、インバータ26はなく、さらに、インバータ38が付加されている点で図2のものとは相違している。また、出力バッファのMOSTランジスタにはNMOSを用いている。イコライズ信号EQはイコライズ開始信号であり、イコライズ開始時間以外は“L”であり、BL分のデータが出力されると、次サイクルの外部クロックCLKを受けてパルスが発生する。内部クロックCLK1は、リード信号RD及びその逆相信号BRDに読み出されたデータをそれぞれクロックインバータ42とPMOSTランジスタ17間のノード#5及びノード#6に転送するための信号であり、リードコマンド信号を受けるとCLに応じてBL分のパルスを生じる。CL=3、BL=4の場合には、CLK②～⑤を受けて、4個のパルスが発生する。出力クロックOUTCLKはインバータ25とクロックインバータ44間のノード#7及びインバータ27とクロックインバータ45間のノード#8のデータを出力端子DQに出力するための信号である。

【0021】イコライズ開始時間以外は、イコライズ信号EQは“L”であり、トランジスタ17、18はオフになっている。外部クロックCLK①でリードコマンドが入力されると、CLK②を受けてリード信号RD及びその逆相信号BRDにデータが読み出される。この時、内部クロックCLK1は“L”、その逆相信号BCLK1は“H”であり、クロックインバータ42、43はオフしている。次に、内部クロックCLK1が“H”になると、クロックインバータ42、43がオンになってリ

11

ード信号RD及び逆相信号BRDのデータはそれぞれノード#5からノード#7、ノード#6からノード#8に転送される。この時、出力クロックOUTCLKは“L”、その逆相信号BOUTCCLKは“H”でクロックインバータ44、45はオフになっている。次に、CLK③を受けて、出力クロックOUTCLKが“H”になると、クロックインバータ44、45はオンになって、ノード#7及びノード#8のデータは転送されて出力端子DQにデータが出力される。BL分のデータが出力されると、次サイクルのCLK④を受けてイコライズ信号EQにパルスが発生する。この間、トランジスタ17、18はオンになって、ノード#5及びノード#6は“H”に、ノード#7及びノード#8は“L”になる。次に、CLK⑤を受けて出力クロックOUTCLKが“H”になると、ノード#7及びノード#8のデータが転送され、ノード#9及びノード#10は“L”になり、出力端子DQにはHiZが出力される。以上の実施例により、図9に示すように、サイクルによりデータアクセスタイムtAC及びデータホールドタイムtOHにばらつきが生じないので、データアクセスタイム/データホールドタイムのデータサイクル依存性を無くし、出力制御信号のタイミング制御を容易にすることができる。

【0022】次に、図10乃至図12を参照して第4の実施例を説明する。図10は、本発明によるシンクロナスDRAMのデータ出力回路図、図11は、図10の動作を説明する波形図である。このデータ出力回路の機能的な構成ブロック図は、図12に示される。このデータ出力回路は、イコライズ回路が第1のデータ転送回路に含まれている回路構成であり、この点で図1に示されたデータ出力回路とは相違している。すなわち、このデータ出力回路は、第1のデータ転送回路であるデータ及びイコライズデータ転送回路78、第2のデータ転送回路であるデータ転送回路16及び出力バッファ13を備えている。まず、データ及びイコライズデータ転送回路78は、イコライズ信号EQが“L”のときにはRD線対に準備された次サイクルのデータを、イコライズ信号EQが“H”のときには（ファイナル・データの次サイクルでは）イコライズデータを、それぞれ内部信号CLK1により転送される回路である。データ転送回路16は、内部クロックCLK1により準備されたデータを出方クロックOUTCLKにより転送する回路である。出力バッファ13は、出力クロックOUTCLKにより転送されたデータに応じて出力端子DQを“H”、“L”、“HiZ”のいずれかに駆動する回路である。出力バッファ13及びデータ転送回路16は、図2のデータ出力回路と同じ回路構成である。

【0023】データ及びイコライズデータ転送回路78は、内部クロックCLK1により駆動され、クロックNORゲート76、77から構成されている。クロックN

12

ORゲート76にはリード信号の逆相信号GRDが入力され、クロックNORゲート77にはリード信号RDが接続される。又イコライズ信号EQはクロックNORゲート76、77に入力されクロックNORゲート76、77の出力はそれぞれインバータ25、26に接続される。イコライズ信号EQは、リード動作時以外は“H”であり、リードコマンド信号を受けるとCL、BLに応じてデータが出力される期間“L”になる。内部クロックCLK1はリード信号RD及びその逆相信号BRDに読み出されたデータをそれぞれクロックNORゲート77とインバータ26間のノード#5及びクロックNORゲート76とインバータ25間のノード#6に転送するための信号である。出力クロックOUTCLKは、インバータ27とクロックインバータ45間のノード#7及びインバータ25とクロックインバータ44間のノード#8のデータを出方端子DQに出力するための信号である。

【0024】リード時間以外のイコライズ時は、イコライズ信号EQは“H”であり、クロックNORゲート77、76の出力（#5、#6）はリード信号RD及びその逆相信号BRDのレベルに関わらず“L”である。外部クロックCLK①でリードコマンド信号が入力されると、CLK②を受けてリード信号RD及びその逆相信号BRDにデータが読み出され、また、イコライズ信号EQは“L”になる。この時、内部クロックCLK1は“L”、その逆相信号BCLK1は“H”でNORゲート76、77はオフになっている。イコライズ信号EQが“L”の間は、クロックNORゲート76、77はそれぞれ、入力がリード信号RD及びその逆相信号BRDのインバータと同じ動作をする。次に、内部クロックCLK1が“H”になると、クロックNORゲート76、77がオンになってリード信号RD及びその逆相信号BRDのデータはそれぞれノード#5からノード#7、ノード#6からノード#8に転送される。この時、出力クロックOUTCLKは“L”、その逆相信号BOUTCCLKは“H”であり、クロックインバータ44、45はオフになっている。

【0025】次に、CLK③を受けて、出力クロックOUTCLKが“H”になると、クロックインバータ44、45がオンになってノード#7及びノード#8のデータは転送されて出力端子DQにデータが出力される。BL分のデータが出力されると、次サイクルのCLK④を受けてイコライズ信号EQは“H”になり、内部クロックCLK1が“H”になるとノード#5、#6、#7は“L”になり、ノード#8は“H”になる。次に、CLK⑤を受けて外部クロックOUTCLKが“H”になると、ノード#7及びノード#8のデータが転送され、ノード#9は“L”になり、ノード#10は“H”になり、そして出力端子DQにはHiZが出力される。以上の実施例により、図11に示すように、サイクルにより



データアクセスタイム $t_{AC}$ 及びデータホールドタイム $t_{OH}$ にばらつきが生じないので、データアクセスタイム/データホールドタイムのデータサイクル依存性を無くし、出力制御信号のタイミング制御を容易にすることができる。

【0026】

【発明の効果】本発明は、以上の構成により、“0”、“1”及び“HiZ”データが出力クロックを受けて出力されるため、 $t_{AC}/t_{OH}$ はデータ/サイクルに依存しなくなる。また、従来技術による出力回路を用いる場合に比べ信号のタイミング制御が容易になる。イコライズ信号が切り替わるのが早いことによる不具合が生じないため信号の微妙な調整は必要なくなり信号制御は容易になる。

【図面の簡単な説明】

【図1】本発明のデータ出力回路を示すブロック図。

【図2】本発明のデータ出力回路を示す回路図。

【図3】図2のデータ出力回路の動作を説明する波形図。

【図4】本発明の制御信号を生成する回路図。

【図5】図4の入出力波形図。

【図6】本発明のデータ出力回路を示す回路図。

【図7】図6のデータ出力回路の動作を説明する波形図。

【図8】本発明のデータ出力回路を示す回路図。

【図9】図8のデータ出力回路の動作を説明する波形図。

\*【図10】本発明のデータ出力回路を示す回路図。

【図11】図10のデータ出力回路の動作を説明する波形図。

【図12】本発明のデータ出力回路を示すブロック図。

【図13】従来のデータ出力回路を示す回路図。

【図14】図13のデータ出力回路の動作を説明する波形図。

【図15】クロックインバータを示す回路図。

【図16】制御信号のタイミングがずれた場合の図13の動作波形図。

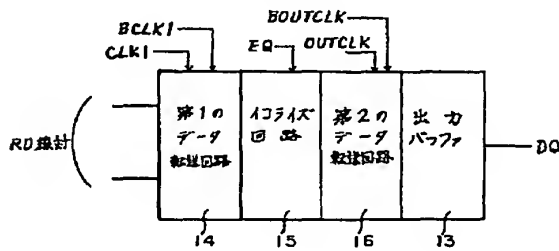
【図17】従来のデータ出力回路を示すブロック図。

【図18】シンクロナスDRAMのリードバスの基本構成ブロック図。

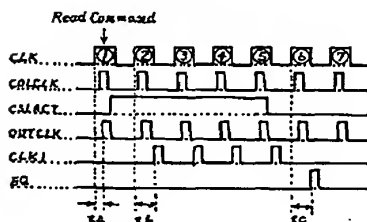
【符号の説明】

1・・・入力受信部、 2・・・信号制御部、 3・・・メモリセル部、 4・・・出力回路部、 5、6、9、10、17～20・・・MOSトランジスタ、 7、8・・・抵抗、 11・・・データ転送回路、 12、15・・・イコライズ回路、 13・・・出力バッファ、 14・・・第1のデータ転送回路、 16・・・第2のデータ転送回路（データ転送回路）、 21～38・・・インバータ、 40～46・・・クロックインバータ、 60～62・・・遅延回路、 70、74、75・・・NAND、 71・・・NOR、 72、73・・・キャパシタ、 76、77・・・クロックNORゲート、 78・・・データ及びイコライズデータ転送回路。

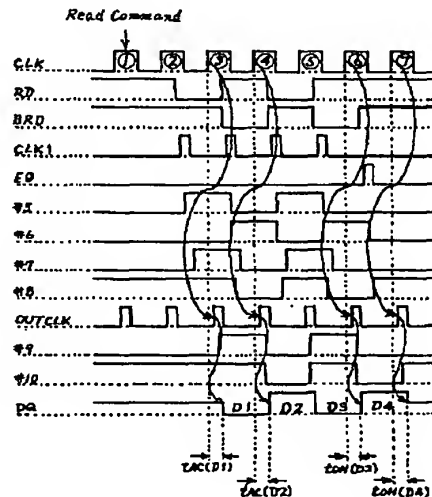
【図1】



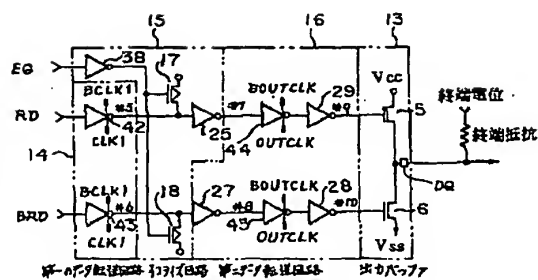
【図5】



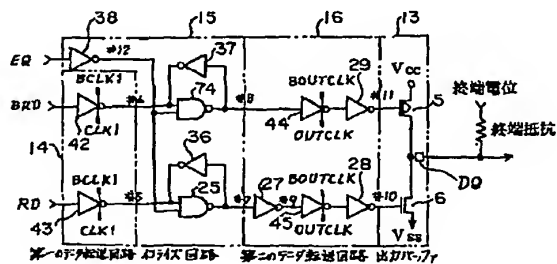
【図3】



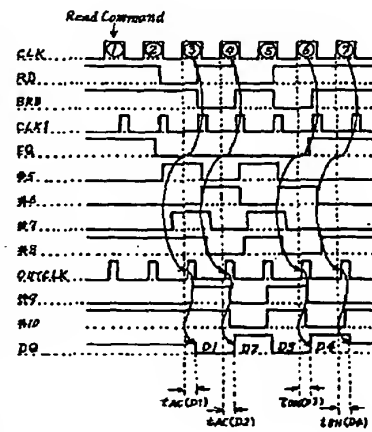
【图8】



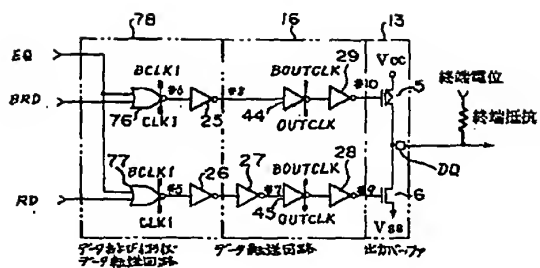
【図6】



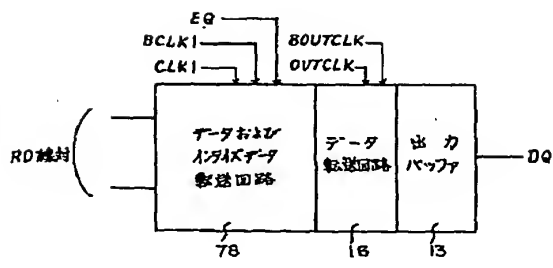
【图 11】



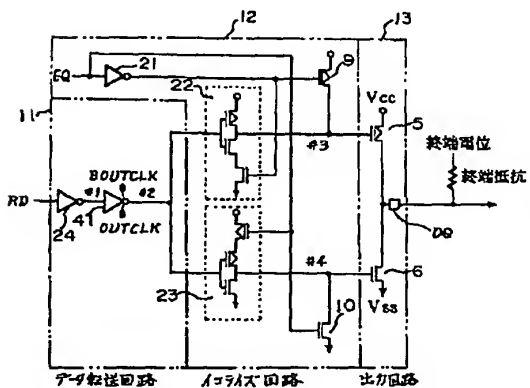
【図10】



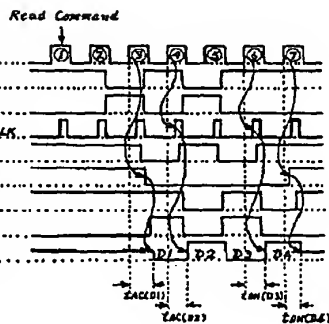
【図12】



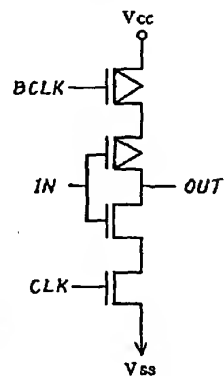
【図13】



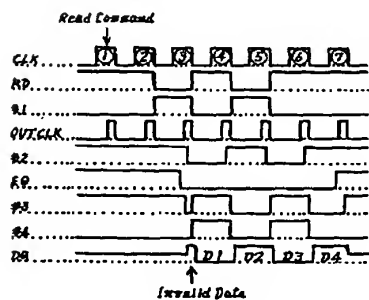
【図14】



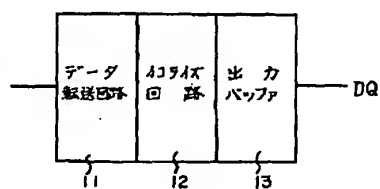
【図15】



【図16】



【図17】



【図18】

